

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-158585

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

H03M 1/18
H04N 5/14

(21)Application number : 2000-349790

(71)Applicant : SONY CORP

(22)Date of filing : 16.11.2000

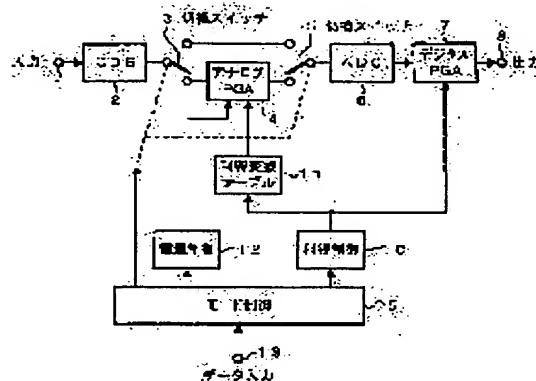
(72)Inventor : NISHIO KENICHI

(54) ANALOG FRONT-END CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize the occurrence of noise and power consumption in respective using situations.

SOLUTION: An analog signal imaged by a charge transfer device (CCD: not shown) is supplied to a correlation double sampling(CDS) circuit 2 through an input terminal 1. Then, the imaged analog signal is fetched through the CDS 2 and the signal fetched through the CDS 2 is supplied to a programmable gain control amplifier(PGA) 4 of an analog form through a switching switch 3. A signal gain-controlled by the analog PGA 4 and the signal from the switch 3 are selected by a switching switch 5. Furthermore, the selected signal is supplied to a 12-bit analog/digital converter(ADC) 6. Then, a converted digital signal is taken out to an output terminal 8, through a programmable gain control amplifier(PGA) 7 of a digital form which consists e.g. of a multiplier.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

AM

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-158585

(P2002-158585A)

(43) 公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 3 M 1/18

H 0 3 M 1/18

5 C 0 2 1

H 0 4 N 5/14

H 0 4 N 5/14

A 5 J 0 2 2

審査請求 未請求 請求項の数4 O L (全 7 頁)

(21) 出願番号 特願2000-349790(P2000-349790)

(22) 出願日 平成12年11月16日 (2000. 11. 16)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 西尾 研一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100080883

弁理士 松隈 秀盛

Fターム(参考) 5C021 PA02 PA64 XA03 XA19

5J022 AA01 AB07 BA08 CA10 CD02

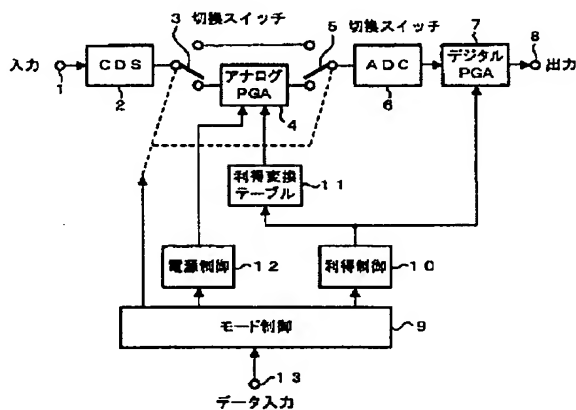
CF02 CF07 CF10

(54) 【発明の名称】 アナログフロントエンド回路

(57) 【要約】

【課題】 それぞれ使用状況におけるノイズの発生や消費電力を最小にする。

【解決手段】 例えば電荷転送素子 (CCD : 図示せず) で撮像されたアナログ信号が入力端子1を通じて相関2重サンプリング回路 (CDS) 2に供給される。そしてこのCDS 2を通じて撮像されたアナログ信号が取り出され、このCDS 2で取り出された信号が、切り換えスイッチ3を通じてアナログ形式のプログラム可能な利得制御アンプ (PGA) 4に供給される。このアナログPGA 4で利得制御された信号と、切り換えスイッチ3からの信号とが切り換えスイッチ5で選択される。さらにこの選択された信号が、例えば12ビットのアナログデジタル変換器 (ADC) 6に供給される。そして変換されたデジタル信号が、例えば乗算器からなるデジタル形式のプログラム可能な利得制御アンプ (PGA) 7を通じて出力端子8に取り出される。



【特許請求の範囲】

【請求項 1】 アナログ信号が供給される利得制御可能なアナログアンプと、
このアナログアンプの出力をデジタル化するアナログデジタル変換器と、
このアナログデジタル変換器の出力に任意の値を乗算するデジタルアンプとを有し、
所定の利得までの増幅を前記アナログアンプで行うと共にそれ以降の増幅を前記デジタルアンプで行う第 1 の動作モードと、
前記アナログアンプの利得を固定にして所望の利得の増幅を前記デジタルアンプで行う第 2 の動作モードとが設けられ、
前記アナログアンプの動作を停止して全利得の増幅を前記デジタルアンプのみで行う第 3 の動作モードと、
前記第 1 ～第 3 の動作モードを切り換えて所望の信号処理を行うことを特徴とするアナログフロントエンド回路。

【請求項 2】 前記アナログアンプ及びデジタルアンプの利得制御を単一の制御信号で行うと共に、
前記アナログアンプ及びデジタルアンプの一方または両方の利得制御系に信号変換テーブルを設けることを特徴とする請求項 1 記載のアナログフロントエンド回路。

【請求項 3】 前記アナログアンプの前後に切り換えスイッチを介してバイパスラインを設け、
前記第 3 の動作モードでは前記切り換えスイッチを切り換えて前記アナログアンプをバイパスすると共に前記アナログアンプの電源を遮断することを特徴とする請求項 1 記載のアナログフロントエンド回路。

【請求項 4】 電荷転送素子部から撮像された信号を取り出す相関 2 重サンプリング回路と共に、前記アナログアンプ、前記アナログデジタル変換器、及び前記デジタルアンプが集積回路化されていることを特徴とする請求項 1 記載のアナログフロントエンド回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば電子スチルカメラやビデオカメラ等の電子カメラ装置に撮像手段として用いられる電荷転送素子から撮像信号を取り出す際に使用して好適なアナログフロントエンド回路に関する。詳しくは、撮像信号を取り出す際の利得制御の方法を、状況に応じて任意に使い分けられるようにするものである。

【0002】

【従来の技術】例えば電子スチルカメラやビデオカメラ等の電子カメラ装置に撮像手段として用いられる電荷転送素子から撮像信号を取り出す際に使用されるアナログフロントエンド回路においては、従来から例えば図 3 に示すような複数の方法が実施されている。

【0003】すなわち図 3 の A は、第 1 の方法としてア

ナログアンプ方式のアナログフロントエンド回路のブロック図である。この図 3 の A の回路において、例えば電荷転送素子 (Charge Coupled Device : 以下、CCD と略称する : 図示せず) で撮像されたアナログ信号が入力端子 30 を通じて相関 2 重サンプリング回路 (Correlated Double Sampling : 以下、CDS と略称する) 31 に供給される。そしてこの CDS 31 を通じて撮像されたアナログ信号が取り出される。

【0004】この CDS 31 で取り出された信号が、アナログ形式のプログラム可能な利得制御アンプ (Programmable Gain-control Amplifier : 以下、PGA と略称する) 32 に供給される。さらにこのアナログ PGA 32 には、制御回路 33 からの利得制御信号が供給される。そしてこの利得制御信号に従って増幅された信号がアナログデジタル変換器 (Analog Digital Converter : 以下、ADC と略称する) 34 に供給され、変換されたデジタル信号が出力端子 35 に取り出される。

【0005】すなわちこの図 3 の A の回路においては、要求される全ての利得制御をアナログ PGA 32 で行うものである。そしてこの回路において、民生用として十分な画質を得るためには、ADC 34 に必要な語長は 10 ～ 12 ビット程度であり、ADC 34 の語長が短くて済む。このため ADC 34 には一般的に価格の安価な回路を使用でき、消費電力も少なく済む。さらに出力端での等価的語長は常に ADC 34 の語長に一致し、高利得のときのノイズは最も少ないものである。

【0006】ところがこの回路において、要求される全ての利得範囲をアナログ PGA 32 で制御するためには、このアナログ PGA 32 部での消費電力が増大し、全体の消費電力も大きなものになってしまう。また、アナログ PGA 32 での利得制御の特性を直線にすることが困難であり、直線性を得るためには制御ソフトウェアに変換テーブル等を設けることが必要になる。このように図 3 の A の回路においては、消費電力や制御の直線性などの問題が生じるものである。

【0007】これに対して図 3 の B は、第 2 の方法としてデジタルアンプ方式のアナログフロントエンド回路のブロック図である。なお図中で図 3 の A と対応する部分には同一の符号を附す。この図 3 の B の回路において、CDS 31 で取り出された信号が直接 ADC 36 に供給される。そして変換されたデジタル信号に対して制御回路 33 からの利得制御信号が乗算され、デジタル形式のプログラム可能な利得制御アンプ (PGA) 37 が形成される。

【0008】従ってこの図 3 の B の回路においては、要求される全ての利得制御がデジタル PGA 37 で行われる。そしてこの回路では、アナログ PGA を使用しないので回路が単純であり、またオフセットなどの回路のばらつきに起因する問題が少ないので動作が安定する。さらにデジタル PGA 37 での利得制御の特性を直線にす

ることが可能であり、直線性を得るための制御ソフトウェア上の変換テーブル等を不要にすることができる。

【0009】ところがこの回路においては、出力端等の等価的語長はデジタルPGA37で乗算される利得に反比例して小さくなる。このため最大利得時での等価的語長を確保するためには、ADC36の語長を長くする必要がある。なお民生用として十分な画質を得るためにADC36に必要な語長は14ビット程度である。従ってこのように語長の長いADC36は回路規模が大きくなり、また消費電力も極めて大きくなってしまふものである。

【0010】また、例えば消費電力の増加を避けるために、CCDの出力をADC36の入力フルスケールに合わせるためのブリアンプを省略した構成では、用いられているCCDの最大出力レベルが小さい場合にADC36の入力レンジを全て使用しないことになり、出力端等での等価的語長が少なくなって画質的に不利になる。また、高利得時にはデジタルPGA37より前段の回路の全てのノイズが増幅されるため、高利得時のノイズは不利である。

【0011】さらに図3のCは、第3の方法としてアナログとデジタルを混合したハイブリッドアンプ方式のアナログフロントエンド回路のブロック図である。なお図中で図3のAと対応する部分には同一の符号を附す。この図3のCの回路において、CDS31で取り出された信号がアナログPGA38を通じてADC39に供給され、この変換されたデジタル信号がデジタルPGA40に供給される。さらにこれらのPGA38、40の利得制御が制御回路33によって行われる。

【0012】従ってこの図3のCの回路においては、デジタルPGA40でも増幅が行われるので、アナログPGA38の利得は図3のAの回路の場合より小さくすることができ、消費電力を少なくできる。またアナログPGA38で増幅が行われるのでADC39の語長は図3のBの回路の場合より短くすることができる。なお民生用として十分な画質を得るためにADC39に必要な語長は12ビット程度になる。従ってこのADC39に、安価で消費電力の少ない回路を使用できる。

【0013】

【発明が解決しようとする課題】ところがこの図3のCの回路において、高利得時のノイズは図3のBの回路よりは有利であるが、図3のAの回路よりは不利である。また全体の消費電力は、例えば図3のBの回路でADC36の語長を12ビットにした場合よりは大きくなっている。さらにアナログPGA38が介在することによる動作の不安定性などの問題は図3のAの回路のままである。一方、例えば電子カメラ装置においては使用状況によってノイズの増加や消費電力の増加が許容される場合がある。

【0014】この出願はこのような点に鑑みて成された

ものであって、解決しようとする問題点は、従来の装置では、ノイズの発生や消費電力を最小にすることができなかったというものである。一方、例えば電子カメラ装置においては使用状況によってノイズの増加や消費電力の増加が許容される場合があるというものである。

【0015】

【課題を解決するための手段】このため本発明においては、アナログアンプとデジタルアンプとを両方設けると共に、これらを必要に応じて切り換えて使用できるようにしたものであって、これによれば、使用状況に応じて回路を切り換えることで、それぞれ使用状況におけるノイズの発生や消費電力を最小にすることができる。

【0016】

【発明の実施の形態】すなわち本発明においては、アナログ信号が供給される利得制御可能なアナログアンプと、このアナログアンプの出力をデジタル化するアナログデジタル変換器と、このアナログデジタル変換器の出力に任意の値を乗算するデジタルアンプとを有し、所定の利得までの増幅をアナログアンプで行うと共にそれ以降の増幅をデジタルアンプで行う第1の動作モードと、アナログアンプの利得を固定にして所望の利得の増幅をデジタルアンプで行う第2の動作モードと、アナログアンプの動作を停止して全利得の増幅をデジタルアンプのみで行う第3の動作モードとが設けられ、第1～第3の動作モードを切り換えて所望の信号処理を行うものである。

【0017】以下、図面を参照して本発明を説明するに、図1は本発明を適用したアナログフロントエンド回路の一実施形態の構成を示すブロック図である。

【0018】図1において、例えば電荷転送素子(CCD=Charge Coupled Device；図示せず)で撮像されたアナログ信号が入力端子1を通じて相関2重サンプリング回路(CDS=Correlated Double Sampling)2に供給される。そしてこのCDS2を通じて撮像されたアナログ信号が取り出され、このCDS2で取り出された信号が、切り換えスイッチ3を通じてアナログ形式のプログラム可能な利得制御アンプ(PGA=Programable Gain-control Amplifier)4に供給される。

【0019】このアナログPGA4で利得制御された信号と、切り換えスイッチ3からの信号とが切り換えスイッチ5で選択される。さらにこの選択された信号が、例えば12ビットのアナログデジタル変換器(ADC=Analog Digital Converter)6に供給される。そして変換されたデジタル信号が、例えば乗算器からなるデジタル形式のプログラム可能な利得制御アンプ(PGA=Programable Gain-control Amplifier)7を通じて出力端子8に取り出される。

【0020】さらにPGAモード制御回路9が設けられる。そしてこのPGAモード制御回路9からの信号が利得制御回路10に供給されて、上述のデジタルPGA7

に対する利得制御が行われると共に、この利得制御回路10からの信号が利得変換テーブル11を通じてアナログPGA4に供給される。なおアナログPGA4とデジタルPGA7とでは、制御信号に対する利得の制御応答が異なるために、利得変換テーブル11を用いて応答が等しくなるように制御信号の変換を行う。

【0021】すなわち、例えば利得制御回路10からはデジタルPGA7に対して所定の制御応答が得られるように制御信号が出力される。これに対してこの制御信号をそのままアナログPGA4に供給すると、例えば図2に破線aで示すような制御応答になってしまうために、例えば図2に実線bで示すような変換特性を持った変換テーブル11を設けることによって、アナログPGA4においてもデジタルPGA7と同等の制御応答が得られるようにするものである。

【0022】そしてPGAモード制御回路9からは、例えば所定の利得までの増幅をアナログPGA4で行うと共にそれ以降の増幅をデジタルPGA7で行う第1の動作モードと、アナログPGA4の利得を固定にして所望の利得の増幅をデジタルPGA7で行う第2の動作モードと、アナログPGA4の動作を停止して全利得の増幅をデジタルPGA7のみで行う第3の動作モードとが設けられ、これらの動作モードを切り換えて所望の利得制御が行われるようにされる。

【0023】すなわち、例えば最大利得を36dBとして利得を徐々に上げていく場合に、第1の動作モードでは、最初にアナログPGA4に対して例えば0~18dBの制御が行われ、アナログPGA4の利得が18dBになって以降にデジタルPGA7に対して0~18dBの制御が行われる。また第2の動作モードでは、例えばアナログPGA4には任意の固定の利得制御が行われると共に、デジタルPGA7に対して0~36dBの制御が行われる。

【0024】さらに第3の動作モードでは、アナログPGA4の動作を停止すると共に、デジタルPGA7に対して0~36dBの制御が行われる。ここでPGAモード制御回路9からは、さらに電源制御回路12に制御信号が供給され、この電源制御回路12によりアナログPGA4の電源が制御される。またPGAモード制御回路9から制御信号により切り換えスイッチ3、5での信号選択の切り換えが行われ、これによりアナログPGA4の動作が停止される。

【0025】なおこれらのPGAモード制御回路9での動作モードの切り換えや、実際に制御される利得の制御信号は、例えばデータ入力端子13を通じてデータ信号として外部(図示せず)から供給される。なおデータ入力端子13を通じて供給されるデータ信号の形式は、上述のPGAモード制御回路9で使用できるものであれば任意のものでよく、例えば上述のアナログフロントエンド回路及び他の回路で共通のデータ信号の形式を用いる

ことができる。

【0026】そして上述の回路において、例えば消費電力を極力減らしたい場合には、上述の第3の動作モードのフルデジタルモードとすることにより、アナログPGA4の動作を停止して消費電力を大幅に削減することができる。これに対してノイズの低減を図る場合には、上述の第1の動作モードのハイブリッドモードとすることにより、デジタルPGA7での増幅利得を下げてそれまでの回路で発生されるノイズの増幅を抑えることができる。

【0027】さらに第2の動作モードのプリアンプ(固定利得)付きデジタルモードでは、消費電力は第1の動作モードのハイブリッドモードと同程度で、ノイズの発生はハイブリッドモードよりは不利である。しかしこの第2の動作モードでは、使用中にアナログPGA4の利得が変化されないで、第3の動作モードのフルデジタルモードと同様にオフセットによる過渡現象などの不具合が発生せず、利得制御を良好に行うことができるものである。

【0028】そこで上述の回路において、例えば電子スチルカメラに使用する場合には、撮像された画像をファインダーに表示するだけのモニターモードではノイズの発生は許容されるので、消費電力の最も少ないフルデジタルモードとし、撮像された静止画像を記録するキャプチャー時には、ノイズの発生の最も少ないハイブリッドモードとする。なおキャプチャーに要する時間は短時間であり、キャプチャー後には再びフルデジタルモードに戻す。

【0029】また、動画の撮影記録を行う場合には、ノイズの発生が比較的少なく、また過渡現象などの不具合の発生のないプリアンプ付きデジタルモードにする。なお動画の場合には、回路中で発生される不規則なノイズ等は目立つことがなく、多少のノイズは許容されるものである。このようにしてそれぞれの使用状況等に応じた切り換えを行うことで、全体の消費電力を少なくし、またノイズの発生も許容できる程度に抑えることができる。

【0030】従ってこの実施形態において、アナログアンプとデジタルアンプとを両方設けると共に、これらに必要なに応じて切り換えて使用できるようにしたことにより、使用状況に応じて回路を切り換えることで、それぞれ使用状況におけるノイズの発生や消費電力を最小にすることができる。これによって、従来の装置では、ノイズの発生や消費電力を最小にすることができなかったものを、本発明によればこのような問題点を容易に解消することができるものである。

【0031】なお上述の実施形態では、利得変換テーブル11を設けているので、例えば単一の制御信号でアナログPGA4とデジタルPGA7との制御を行うことができる。これにより、例えば直線性を得るための変換テ

10

20

30

40

50

ープルを制御ソフトウェア上に設けるなどの必要がなくなり、簡単な制御信号で全体の利得制御を行うことができるようになる。またこのような利得変換テーブルは、デジタルPGA7の制御系に設けることもできる。あるいは両方に設けて制御を行うこともできる。

【0032】また上述の実施形態において、第3の動作モードでは、アナログPGA4の前後に設けられた切り換えスイッチ3、5を切り換えてアナログPGA4をバイパスすると共に、電源制御回路12に制御信号を供給してアナログPGA4の電源を遮断するようにしている

ので、第3の動作モードのフルデジタルモードでは、アナログPGA4での消費電力を完全に値0にすることができ、全体の消費電力を最小にすることができる。

【0033】さらに上述の回路は、相関2重サンプリング回路(CDS)と共に集積回路化することにより、例えば使用状況に応じて任意に動作モードを切り換えることのできる極めて効率の良いアナログフロントエンド回路を形成することができる。これによって、消費電力の削減を重視したり、低ノイズの撮像信号を得ることを重視するなどのそれぞれの使用状況に応じたアナログフロントエンド回路を1つの集積回路で実現することができるものである。

【0034】こうして上述のアナログフロントエンド回路によれば、アナログ信号が供給される利得制御可能なアナログアンプと、このアナログアンプの出力をデジタル化するアナログデジタル変換器と、このアナログデジタル変換器の出力に任意の値を乗算するデジタルアンプとを有し、所定の利得までの増幅をアナログアンプで行うと共にそれ以降の増幅をデジタルアンプで行う第1の動作モードと、アナログアンプの利得を固定にして所望の利得の増幅をデジタルアンプで行う第2の動作モードと、アナログアンプの動作を停止して全利得の増幅をデジタルアンプのみで行う第3の動作モードとが設けられ、第1～第3の動作モードを切り換えて所望の信号処理を行うことにより、使用状況に応じて回路を切り換えることで、それぞれ使用状況におけるノイズの発生や消費電力を最小にすることができるものである。

【0035】なお本発明は、上述の説明した実施の形態に限定されるものではなく、本発明の精神を逸脱することなく種々の変形が可能とされるものである。

【0036】

【発明の効果】従って請求項1の発明によれば、アナログアンプとデジタルアンプとを両方設けると共に、これらを必要に応じて切り換えて使用できるようにしたことにより、使用状況に応じて回路を切り換えることで、そ

れぞれ使用状況におけるノイズの発生や消費電力を最小にすることができるものである。

【0037】また請求項2の発明によれば、アナログアンプ及びデジタルアンプの利得制御を単一の制御信号で行うと共に、アナログアンプ及びデジタルアンプの一方または両方の利得制御系に信号変換テーブルを設けることによって、例えば直線性を得るための変換テーブルを制御ソフトウェア上に設けるなどの必要がなくなり、簡単な制御信号で全体の利得制御を行うことができるようになるものである。

【0038】さらに請求項3の発明によれば、アナログアンプの前後に切り換えスイッチを介してバイパスラインを設け、第3の動作モードでは切り換えスイッチを切り換えてアナログアンプをバイパスすると共にアナログアンプの電源を遮断することによって、第3の動作モードのフルデジタルモードでは、アナログアンプでの消費電力を完全に値0にすることができ、全体の消費電力を最小にすることができるものである。

【0039】また請求項4の発明によれば、電荷転送素子部から撮像された信号を取り出す相関2重サンプリング回路と共に、アナログアンプ、アナログデジタル変換器、及びデジタルアンプが集積回路化されていることによって、消費電力の削減を重視したり、低ノイズの撮像信号を得ることを重視するなどのそれぞれの使用状況に応じたアナログフロントエンド回路を1つの集積回路で実現することができるものである。

【0040】これによって、従来の装置では、ノイズの発生や消費電力を最小にすることができなかったものを、本発明によればこのような問題点を容易に解消することができるものである。

【図面の簡単な説明】

【図1】本発明の適用されるアナログフロントエンド回路の一実施形態の構成図である。

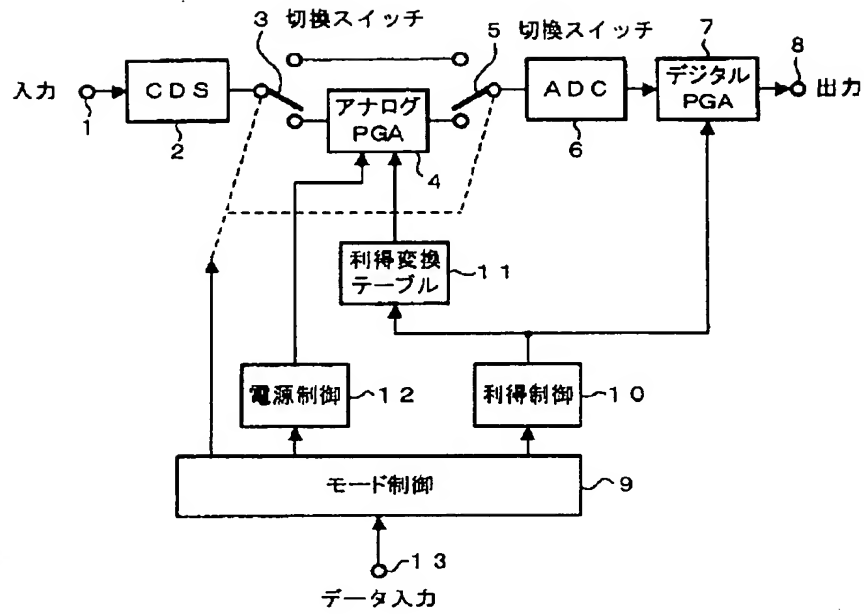
【図2】その動作の説明のための図である。

【図3】従来のアナログフロントエンド回路の構成図である。

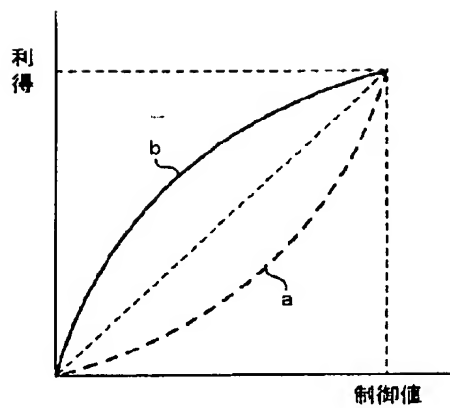
【符号の説明】

1…入力端子、2…相関2重サンプリング回路(CDS)、3、5…切り換えスイッチ、4…アナログ形式のプログラム可能な利得制御アンプ(アナログPGA)、6…アナログデジタル変換器(ADC)、7…デジタル形式のプログラム可能な利得制御アンプ(デジタルPGA)、8…出力端子、9…PGAモード制御回路、10…利得制御回路、11…利得変換テーブル、12…電源制御回路、13…データ入力端子

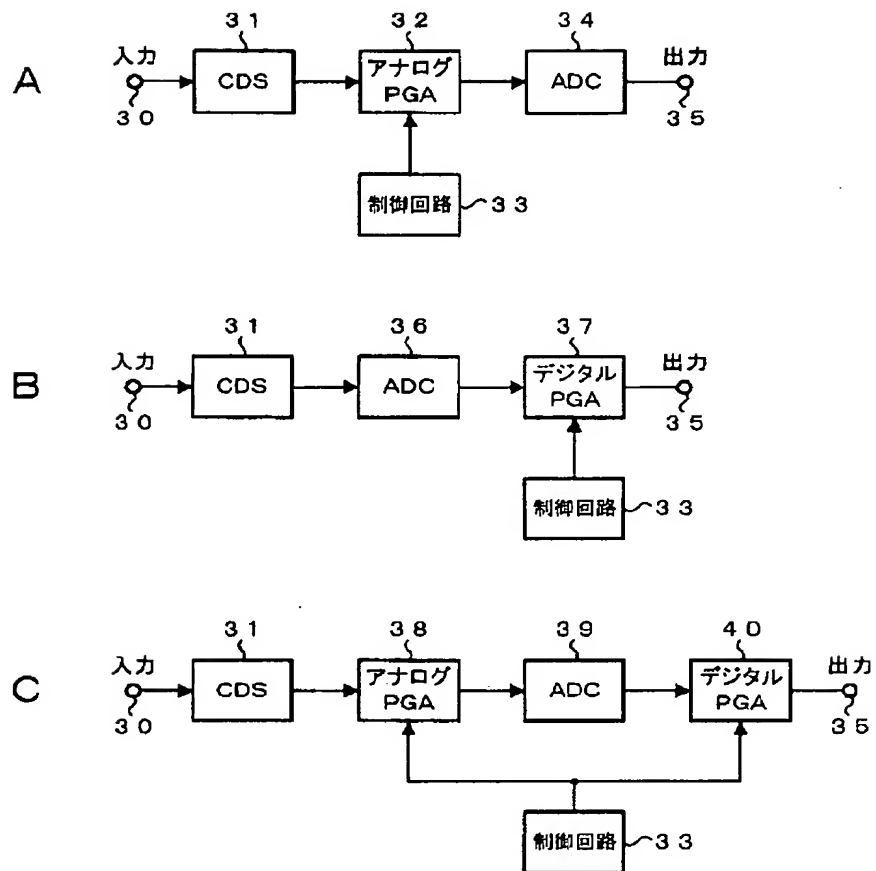
【図1】



【図2】



〔図3〕



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.